


FIELD-EFFECT TYPE SEMICONDUCTOR ELEMENT

Patent Number: JP8264772
Publication date: 1996-10-11
Inventor(s): KUSHIDA TOMOYOSHI; KAWAI FUMIAKI .
Applicant(s):: TOYOTA MOTOR CORP
Requested Patent:  JP8264772
Application Number: JP19950064545 19950323
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To make decrease of threshold voltage compatible with decrease of on-resistance, and improve punchthrough breakdown voltage, in an MOSFET.

CONSTITUTION: A gate oxide film 45 is formed surrounding a gate electrode 46. A diffusion layer 49 as a low concentration layer is formed on the side part of the gate electrode 46. Diffusion layers 53a, 53b are formed on the side part of the diffusion layer 49, sufficiently deeper in the drain direction than the gate electrode 46 and the diffusion layer 49. Since the distance between the lower end portions of P<+> body layers (diffusion layers (53a, 53b) is short, depletion layers 56 between the P<+> body layers are easy to be linked together.

Data supplied from the esp@cenet database - I2

特開平8-264772

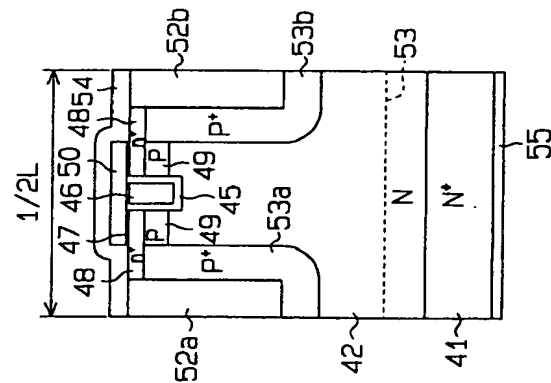
(51) Int.Cl. H01L 29/78	特許配号 平成7-64545	(71) 出願人 トヨタ自動車株式会社 愛知県豊田市トヨタ町1番地 徳田 知雄 愛知県豊田市トヨタ町1番地 草 株式会社内	P I H01L 29/78	請求項の表 3 OL (金 8 M)
	特許平7-64545	(72) 発明者 川井 文彰 愛知県豊田市トヨタ町1番地 草 株式会社内	9055-4M 9055-4M	請求項 未請求
	平成7年(1995)3月23日	(74) 代理人 弁護士 原田 博宣		

(54) 【発明の名称】
雪界効果型半導体素子

(57) 【要約】

【目的】MOSFETにおいて、しきい値電圧の低下と、オン抵抗の低下を両立させ、さらにパシスルー耐圧の向上を図る。

【解説】 ゲート電極46を照むようにゲート酸化膜45が形成され、ゲート電極46の側面には低濃度層である拡散層49が形成されている。又、拡散層49の側面にはゲート電極46及び拡散層49よりもドレイン方向へ十分に入深に形成された拡散層53a、53bが設けられている。P+ボザイム（拡散層53a、53b）の下に、高濃度層53cが設けられ、P+ボザイム間の空乏層56が形成される。P+ボザイムの距離が短い、P+ボザイム間の空乏層56が薄くなる。



【特許請求の範囲】

【請求項1】 ドレインとなる第1導電型半導体基体 (2) の表面に第2導電型領域 (3, 4) と、ソースとなる第1導電型領域 (6) を有し、抑圧基体 (2) 表面に第2導電型領域 (7) への電圧印加によって基体 (2) の前記第1導電型領域 (6) に挟まれた前記第2導電型領域 (7) を有するゲート電極 (5) を備え、ドレイン電流を流すようにした電界効果型半導体素子であって、

前記第2導電型領域はゲート電極(7)直下に形成され、低濃度層(3)と、低濃度層(3)に接して形成され、第1導電型領域(5)から第1導電型半導体基体(2)方向へ延びる高濃度層(4)とを含み、

如記高速度層 (4) を前記低速層 (3) より深さ方向

【請求項2】 低減度周（3）の減度ピーク位置が、第1導電型領域（2）より深い位置にあることを特徴とする請求項1に記載のパワー-MOSFET。

【請求項3】 ドレインとなる第1導電型半導体基体(16, 42)の表面に第2導電型領域(23, 24

と、 α -ドレイン電流を制御するようにした電界効果型半導体素子であった。

(1) 第1層電阻部(20, 48)を有し、前記基板(16, 42)表面のトレンチゲート(19, 46)への圧印によって基板(16, 42)と前記第1層電阻部(20, 48)に挟まれた前記第2層電阻部(22, 49, 53a, 53b)で構成されたトレンチゲートのトレンチ壁面を形成するようになした電界効果型半導体素子であつて、

直
第2導電型領域はトレンチート(19, 46)直
に形成された低濃度層(23, 49)と、

低濃度層 (23, 49) に接続して形成され、該低濃度層より第1導電型領域 (20, 48) から第1導電型導体基体 (10, 42) 方向へ延びる高濃度層 (24, 24b, 53a, 53b) とを含み、

高周波層 (24a, 24b, 53a, 53b) を前記
レンチゲート (19, 40) より深さ方向に偏平に形
造したことを特徴とする電界効果型半導体素子。

【発明の詳細な説明】

【0001】
産業上の利用分野】この発明はMOSFET等の電界
果型半導体素子の構造に関するものである。

[0002]

【従来の技術】電界効果型半導体素子として、従来のワークマン・MOSFETトランジスタ（以下、パワーMOSという）の構造を図9に示す。1はN⁺基板、2はN-イオン注入層、3はP⁺ボディ層、4はP⁻ゲート領域、5はN⁺ソース層、6はゲート酸化膜、7はゲート電極、8は局間絶縁膜、9はソースドレインコンタクト、10はドレイン電極、11は駆動電極である。

である。

【0003】このパワーMOSは、4V程度のゲート電圧の印加で十分駆動できるように低いきき出し電圧（1～2V）が要求されている。このため、PチャネルMOSの $1.017\text{ cm}^3/\text{cm}^3$ 程度の低濃度とする必要がある。一方、PチャネルMOSのバンドギャップを防止し、閾値60V程度を実現する必要がある。PチャネルMOSの深さを2～3 μm 程度としている。

【0004】次に、トレンヂャー構造を有するMOS FET (UMOS) の従来の構成を図7に示す。15はN⁺基板、16はN-エピタキシャル層、17はPボザイ層、18はゲート酸化膜、19はゲート酸化膜18にて形成されたポリシリコン化膜、20はトレンヂャー、21はアルミニウムニッケル層、22は空層、23はドレイン電極である。

[0005]

【発明が解決しようとする課題】ところで、図 3 (b) に示すパワー MOS のオン抵抗 $r_{ds(on)}$ (全体のオン抵抗) は、次の式で表される。

[0006]

なお、図 3 (b) に示すように r_{ch} はチャネル屈折成分、 r_{ace} はアキュレーション屈折成分、 r_{PET} は PET 屈折成分、 r_{ifit} はドリフト屈折成分、 r_{sub} は基板屈折成分である。

【0007】このうち、オン抵抗 $r_{ds(on)}$ に占めるJFET抵抗成分 r_{JFET} の割合は、比較的大きい（この抵抗成分のうち、チャネル抵抗成分 r_{ch} が最も大きい）。従って、Pボディ層 S が深くなると、JFET抵抗成分 r_{JFET} が大きくなり、このため、オン抵抗が増大してしま

【0008】又、パワーMOSには、図3(b)に示すように、寄生抵抗 r_1 、 r_2 、寄生トランジスタT₁及び寄生ダイオードD₁が存在している。ソース・アノード電極9とドレイン電極10との間に電圧を印加すると、Pポシティブ層3とN-エピタキシャル層2とにより形成される寄生ダイオードD₁の降伏電圧に達すると、降伏電流が寄生ダイオードD₁に流れる。この降伏は、Pポシティブ層3とN-エピタキシャル層2との接合部分の境界に広がる空乏層11において、曲率半径の小さい部

【0009】低濃度のPボディ層3に形成される寄生性空孔r 2は、比較的大きいため、降伏電圧により、寄生トランジスタT_rのベース電圧が上昇し、この結果、大量の降伏電圧が流れ、ベース電圧が0.8Vを越えると、寄生トランジスタT_rが導通し、大電流が流れて、パワーマグネットのMOSが破壊する問題がある。

【0010】又、図7に示す従来のトレンチゲート構造を有するMOSFET (UMOS) は、次のような問題点があった。すなわち、後述の理由からトレンチゲート

ソース層5の拡散深さ $x_j(N^+)$ よりも深い位置とされている($x_p(P) > x_j(N^+)$)。なお、図2は図1のY-Y線におけるこの実施例におけるパワーMOSFETの不純物濃度を示し、縦軸は不純物濃度、横軸はN-エピタキシャル層2の最上面からの深さを表している。そして、C_sはPボディ層3の表面不純物濃度、CPはPボディ層3の不純物濃度を示し、上記のことから、 $CP > C_s$ となっている。

【0022】上記のように構成されたパワーMOSFETは、P+ボディ層4から拡がる空乏層11が、隣接するセルからの空乏層11となつて、Pボディ層3の周辺及びゲート・シリコン電極7直下のN-エピタキシャル層2をピンチオフする。

【0023】この結果、Pボディ層3からN-エピタキシャル層2接合近隣の電界集中が緩和される。従って、この実施例では、従来より深いPボディ層3に対してパシナルを防止でき、さらに、オン抵抗のうちの r_{ch} と r_{JFET} の低減を図り、すなわち、オン抵抗の低減を図ることができる。

【0024】又、P+ボディ層4及びPボディ層3と、N-エピタキシャル層2とにより形成されるPN接合の境界に拡がる空乏層11の曲率半径は、P+ボディ層4の底部で、最も小さくなる。すなわち、降伏電流は低減度のPボディ層3ではなく比較的高濃度のP+ボディ層4を通るため、従来のような大きな降伏電流まで、寄生トランジスタが導通せず、散逸熱量が向上する。

【0025】さらに、P+ボディ層4が深く形成されているため、ドレイン・ソース間の逆バイアス時にもP+ボディ層4からドレイン方向に深く空乏層11が形成されることから、空乏層11の電界Eの強度が全体に弱まることになる。すなわち、N+ソース層5側へのPボディ(低濃度)層3内の空乏層が広がりにくく抑えられ、この結果、パシナルの防止ができる。

【0026】次にトレンチゲートを有するMOSFET(UMOS)に具体化した第2実施例を図4に従って説明する。なお、前記図7の従来例と異なる点のみを説明し、同従来例に相当する構成については同一符号を付す。

【0027】図4は本実施例の模式的な1つのセルの断面図である。この実施例では、トレンチゲート19を囲むようにゲート酸化膜18が形成され、ゲート酸化膜18の側面には低濃度層であるPボディ層23が形成されている。又、Pボディ層23の側面には前記トレンチゲート19及びPボディ層23よりもドレイン方向へ十分深く形成されたP+ボディ層24a、24bが設けられている。図7において、N-エピタキシャル層16が前記第3の発明の第1導電型半導体基体を構成し、N+ソース層20が第1導電型領域を構成し、Pボディ層23が第2導電型領域の低濃度層を構成し、P+ボディ層24a、24bが第2導電型領域の高濃度層を構成する。

ト電極直下に形成されているため、しきい値電圧は低く、さらに、オン抵抗も小さい(オン抵抗のうちの r_{ch} (チャネル抵抗)と r_{JFET} が小さくなる)。さらに、高濃度層が深く形成されているため、ドレイン・ソース間の逆バイアス時にも高濃度層からドレイン方向に深く空乏層が形成されるため、空乏層の電界Eの強度が全体に弱まり、すなわち、第1導電型領域側への低濃度層内の空乏層が広がりにくく抑えられる。この結果、パシナル防止効果は維持される。

【0017】請求項2の発明によれば、電界効果型半導体素子のしきい値を決定する低濃度層の表面濃度よりも第1導電型領域直下の低濃度層の濃度が濃くなる。このため、より深い低濃度層で、パシナルが防止でき、オン抵抗が低減される。又、寄生抵抗成分を小さくできることから、ベーク電圧が上昇しにくく寄生トランジスタが導通しにくくなり、かつ寄生トランジスタの電流増幅率 h_{FE} を小さくできるため、散逸熱量が向上する。

【0018】請求項3の発明によれば、トレンチが形成される分だけ r_{JFET} の抵抗が無く、オン抵抗の低下ができる。又、第2導電型領域から第1導電型領域へは、電界強度が弱められ、かつ空乏層が拡がるもの抑えられるため、従来のような空乏層が広がってパシナルが生じるのを抑制するための深いトレンチゲートの製造の必要がなくなり、製造しやすい深いトレンチゲートでも可能となる。又、電界強度が弱くなることから、トレンチゲート端部のめくれ工程も不要となる。

【0019】【実施例】以下、請求項1の発明をNチャネルタイプのパワーMOSFETに具体化した実施例を図1に従って説明する。図1は、本実施例の模式的な1つのセルの断面図である。なお、図3の従来例と同一構成又は相当する構成については同一符号を付して説明を省略する。

【0020】このパワーMOSFETは、散逸量のセルからなり、図1に示すように、各セルはドレインとなるN+基板1、N-エピタキシャル層2、Pボディ層3、P+ボディ層4、ソースとなるN+ソース層5を有し、N-エピタキシャル層2に設けたゲート・多結晶シリコン電極7への印加電圧により、ソース・ドレイン電流を制御するものである。この実施例では前記N-エピタキシャル層2が第1導電型半導体基体を構成する。Pボディ層3が第2導電型領域の低濃度層を構成し、P+ボディ層4が第2導電型領域の高濃度層を構成する。又、N+ソース層5が第1導電型領域を構成する。

【0021】そして、Pボディ層3に対して、十分深いP+ボディ層4が形成されている。又、この実施例では、N+ソース層5、Pボディ層3、N-エピタキシャル層2に含まれる不純物濃度は図2に示すようになっている。そして、図2において、実線に示すようにPボディ層3の不純物濃度ピークの位置 $x_p(P)$ は、N+ボディ層4の不純物濃度ピークの位置 $x_j(N^+)$ よりも深い位置とされている。

19がPボディ層17より深く形成されている。この結果、トレンチゲート19の下端部に電界集中が生じるため、耐圧が低下する。この問題を解消するために、トレンチゲート19の下端部のコーナの曲率半径を大きくするめ、行程が必要となる。しかし、トレンチは本来エンタングの異方性を利用して形成しているため、コーナの曲率半径を大きくすることは難しい。

【0011】又、Pボディ層17は、低いしきい値電圧を実現するために、低濃度である必要がある。従って、高耐圧を実現するためには、Pボディ層17のパシナルを防止する必要がある。Pボディ層7を深くしなればならなかった。この結果、低いしきい値電圧と高耐圧性を両立させるためにはトレンチゲート19を深くする必要がある。

【0012】この発明の目的は上記従来技術の問題点を解消するためになされたものであって、しきい値電圧の低下と、オン抵抗の低下を両立させ、さらにパシナル・耐圧の向上を図ることができることを提供することにある。

【0013】【課題を解決するための手段】上記問題点を解決するために請求項1の発明は、ドレインとなる第1導電型半導体基体の表面に第2導電型領域と、ソースとなる第1導電型領域を有し、基体表面上のゲート電極への電圧印加によって基体と第1導電型領域に挟まれた第2導電型領域表面でソース・ドレイン電流を制御するようにした電界効果型半導体素子であって、前記第2導電型領域はゲート電極直下に形成された低濃度層と、低濃度層に接線して形成され、第1導電型領域から第1導電型半導体基体方向へ延びる高濃度層とを含む、前記高濃度層を前記低濃度層より深さ方向に傾斜して形成したことを特徴とする電界効果型半導体素子とその要旨としている。

【0014】請求項2の発明は、低濃度層の濃度ピーク位置が、第1導電型領域より深い位置にあることを特徴とする請求項1に記載の電界効果型半導体素子とその要旨としている。

【0015】請求項3の発明は、ドレインとなる第1導電型半導体基体の表面に第2導電型領域と、ソースとなる第1導電型領域を有し、前記基体表面上のトレンチゲートへの電圧印加によって基体と前記第1導電型領域に挟まれた前記第2導電型領域表面でソース・ドレイン電流を制御するようにした電界効果型半導体素子であって、前記第2導電型領域はトレンチゲート直下に形成された低濃度層と、該低濃度層に接線して形成され、第1導電型領域から第1導電型半導体基体方向へ延びる高濃度層とを含む、前記高濃度層を前記低濃度層より深さ方向に傾斜して形成したことを特徴とする電界効果型半導体素子とその要旨としている。

【0016】【作用】請求項1の発明によれば、低濃度層が傾斜く

【0028】上記の構成により、P+ボディ層24a、24bから拡がる空乏層22によって、Pボディ層23及びトレンチゲート19直下のN-エピタキシャル層16をピンチオフするようにしている。従って、この構成により、Pボディ・N-エピタキシャル層接合及びトレンチゲート19下端部(特にエッジ部)の最大電界強度を下げ、すなわち、深いPボディ層23でもパシナルを防止できる。従って、深いトレンチゲート19により高耐圧が実現できる。

【0029】又、従来のトレンチゲート19下端部エッジでの高電界が緩和されるため、従来の必要であったエッジのめくれ工程を省略することができる。さらに、ドレイン方向へ深く形成されたP+ボディ層24a、24bにより、寄生NPNTランジスタのベーク抵抗が小さくなるため、従来のように、高温時でも寄生NPNTランジスタが動作せず、散逸熱量を向上させることができる。従来のように、パワーMOSFETをインダクタンス負荷で使用する場合は、パワーMOSFETをオフするときに、短時間ではあるが、高電圧と大電流が同時にパワーMOSFETに加わる。そのため、急激に温度上昇して寄生NPNTランジスタが動作し、寄生NPNTランジスタが熱暴走して破壊する。しかし、この実施例ではそのようなことは生じない。

【0030】次に第3実施例を図5、図6、図8及び図9に従って説明する。この実施例では、図5に示すように第2導電型領域の高濃度層としての拡散層(P+ボディ層)53a、53bをトレンチの周辺に形成することにより、図4の第2実施例の1セルの寸法をLとしたとき、L/2となるように形成し、図4の第2実施例と同等の性能をより小さな面積で実現している。

【0031】この実施例におけるパワーMOSFETの製造工程を図8及び図9に従って以下に詳細に説明する。なお、図5は左右対象とされているため、説明の便宜上、図8及び図9においては、図5における左半分のみを示し、右半分は省略している。従って、図5において、左半分に相当する構成については同一符号もしくは同一符号にサフィクスを付している。

【0032】図8(a)に示すように高濃度N+シリコン基板41上に第1導電型半導体基体としての低濃度N型シリコン層42をエピタキシャル成長させ、表面に熱酸化法により酸化膜43を形成する。その後、フォトリソグラフィ法とエッチング法を用いて酸化膜43を所定の形状にパターンニングする。

【0033】図8(b)に示すようにRIE(リアクティブイオンエッチング)法により、酸化膜43をエッチングマスクとしてトレンチ(凹部)44を形成し、熱酸化法により酸化膜46を形成する。次に、図8(c)に示すようにCVD(ケミカルベーパー deposi tion)法により、リンPを含んだ多結晶シリコン膜46を堆積する。図8(d)に示すように多結晶シリコン膜46の被

面をRIE法によりエッチバックする。この多結晶シリコン膜46がゲート電極(トレンチゲート)となる。次に図8(a)に示すように酸化膜45の表面に露出した部分をエッチングし、再び酸化する。この時、多結晶シリコン膜46も酸化し、酸化膜47を形成する。その後、イオン注入法により、ヒ素Asと、ホウ素Bを注入して、熱処理により、拡散層48、49を形成する。この拡散層48が第1導電型領域としてのN+ソース層となり、拡散層49が第3導電型領域の低濃度層としてのP+ポディ層となる。

【0034】図8(f)に示すように表面にCVD法により厚い酸化膜50を堆積し、フォトリソグラフィ法とエッチング法を用いて酸化膜50を所定の形状にパターンニングする。従って、図9(a)に示すようにRIE法により酸化膜50をエッチングマスクとしてトレンチ(凹溝)51を形成する。

【0035】次に、CVD法により、ホウ素Bを含んだ多結晶シリコン膜52a(52b)を堆積し、熱処理により多結晶シリコン膜52内のホウ素Bを拡散させ、拡散層53a(53b)を形成する(図9(b)参照)。この拡散層53a(53b)がP+ポディ層となる。その後、多結晶シリコン膜52a(52b)をRIE法により酸化膜とシリコンの界面までエッチバックする。前記多結晶シリコン膜52a(52b)が充塞層を形成している。

【0036】次にフォトリソグラフィ法とエッチング法を用いて酸化膜50、47の開口部をより大きくする。その後、アルミニウム等の金属をスパッタ法により、堆積し、ソース電極54を形成する。さらに、シリコン基板41の裏面に金属を蒸着し、ドレイン電極55を形成する。

【0037】さて、図8(a)に示すように、第2実施例の構造では5L×5Lの面積においてはゲートの総延長は5L×10=50Lとなる。それに対して、この実施例では同じ5L×5Lの面積においては、ゲートの総延長は5L×20=100Lとなる。従って、この実施例では、第2の実施例と比較して同一面積においては、ゲートの総延長が2倍、すなわち、オン抵抗が半分となる。

【0038】なお、上記の実施例ではセルサイズが第2実施例の1/2の場合について説明したが、セルサイズの縮小率は、P+ポディ層の深さによって一般的に異なる。なお、P+ポディ層用のトレンチ51は、トレンチ側面がP+ポディ層(拡散層53a、53b)内にあるため、パワーMOSの主電流経路からトレンチ側面はすれることになる。すなわち、トレンチ側面のドレイエッチングダメージが現れていても、オン抵抗を高くすることはない。従って、P+ポディ層用トレンチはゲート用トレンチとは異なり、ダメージ除去工程が不要となるので、製作は容易となる。

第1導電型領域下の低濃度層の濃度が濃くなる。このため、より浅い低濃度層で、パシスループが防止でき、オン抵抗が低減される。又、寄生抵抗成分を小さくできることから、ベース電位が上昇しにくく寄生トランジスタが導通しにくくなり、かつ寄生トランジスタの電流増幅率も低く小さくできるため、破壊電圧が向上する。

【0048】請求項3の発明によれば、オン抵抗の低下ができ、第2導電型領域から第1導電型領域へは、電界強度が弱められ、かつ空乏層が広がるの抑えられ、従来と異なり空乏層が広がってパシスループが生じるのを抑止するための深いトレンチゲートの製造の必要がなくなり、製造しやすい浅いトレンチゲートでも可能となる。又、電界強度も弱くなることから、トレンチゲート端部のめくれ工程も不要となる。

【図面の簡単な説明】

【図1】 第1実施例の1つのセルの模式的な断面図。
【図2】 図1のY-Y線で切断したときの、表面から深さにおける不純物濃度を示すグラフ。

【図3】 従来のMOSFETを示し、(a)は平面断面図、(b)は断面図。

【図4】 第2実施例の1つのセルの模式的な断面図。

【図5】 第3実施例の1つのセルの模式的な断面図。

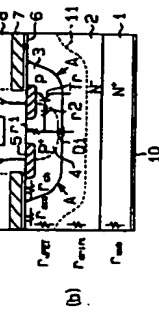
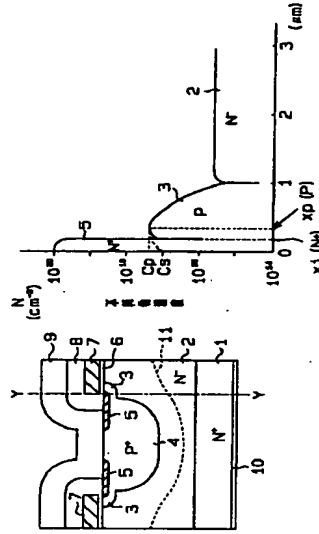
【図6】 (a)は第2実施例のMOSFETの平面断面図、(b)は第3実施例のMOSFETの平面断面図。

図、(b)は第3実施例のMOSFETの断面図。

【図1】

【図2】

【図3】



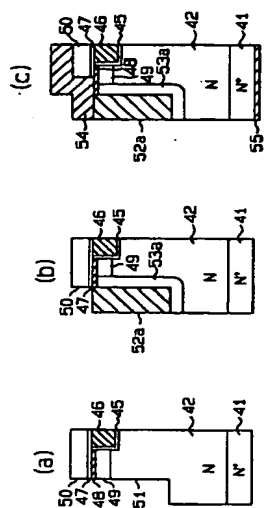
【図7】 従来のMOSFETの断面図。
【図8】 (a)～(f)は第3実施例の製造工程を示す説明図。

【図9】 (a)～(c)は同じく第3実施例の製造工程を示す説明図。

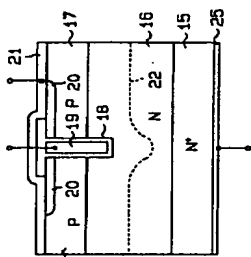
【符号の説明】

1はN+基板、2はN+エピタキシャル層(第1導電型半導体基板)、3はP+ポディ層(第2導電型領域の低濃度層)、4はP+ポディ層(第2導電型領域の高濃度層)、5はN+ソース層、6はゲート酸化膜、7はゲート・シリコン電極、8は層間絶縁膜、9はソース・アルミニウム電極、10はドレイン電極、11は空乏層、12はN+ドレイン層、13はN+ドレイン層(第1導電型半導体基板)、14はN+ドレイン層(第1導電型半導体基板)、15はN+ドレイン層(第1導電型半導体基板)、16はN+ドレイン層(第1導電型半導体基板)、17はP+ポディ層、18は酸化絶縁膜、19はトレンチゲート、20はN+ソース層、21はソース電極、22は空乏層、23はP+ポディ層(第2導電型領域の低濃度層)、24a、24bはP+ポディ層(第2導電型領域の高濃度層)、41はN+型シリコン基板、43は低濃度N型シリコン層(第1導電型半導体基板)、44は酸化膜、45はトレンチ、46は多結晶シリコン膜(ゲート電極)、48は拡散層(N+ソース層)、49は拡散層(P+ポディ層)、53aは拡散層(P+ポディ層)、53bは拡散層(P+ポディ層)、55は空乏層、56は空乏層。

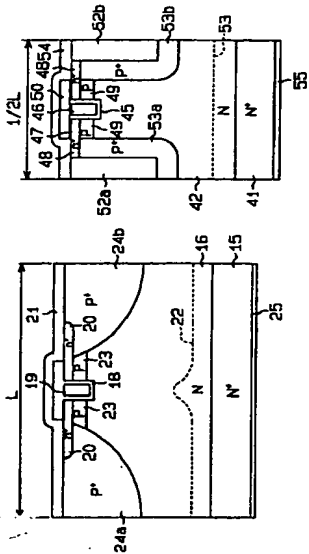
【6】



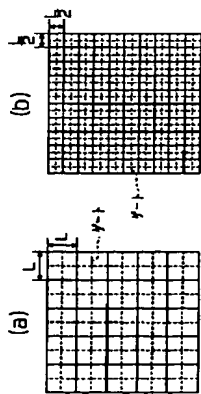
【7】



【例5】



【圖 6】



【例8】

